

**DISEÑO LOGICO CON DISPOSITIVOS LOGICOS  
PROGRAMABLES (PLD'S)**

**ING. LUIS F. LAPHAM CARDENAS  
PROFESOR INVESTIGADOR  
DIVISION DE ELECTRONICA  
C.E.T.I.**

## RESUMEN

En este artículo intentamos mostrar el cambio dramático que ha experimentado el diseño digital electrónico, pasando de la clásica implementación de circuitos por medio de la lógica discreta (TTL y CMOS), al diseño basado en la programación de PLD's.

Los PLD's son circuitos integrados en los que se pueden programar ecuaciones lógicas Booleanas, tanto combinatorias como secuenciales. Existen actualmente una gran variedad de estos chips, y algunos de ellos pueden contener hasta 10,000 compuertas lógicas.

La importancia de esta tecnología radica en el hecho de que la mayoría de los equipos electrónicos modernos incluyen en su diseño PLD's, por lo que todo profesional relacionado con el mantenimiento o fabricación de equipo electrónico deberá dominar dicha metodología.

### **PALABRAS CLAVE**

**DISPOSITIVO LÓGICO PROGRAMABLE.**

**PROGRAMACIÓN LÓGICA.**

**LÓGICA DISCRETA.**

**LÓGICA PROGRAMABLE.**

**PROM'S.**

**PAL'S.**

**GAL'S.**

**METODOLOGÍA DE DISEÑO.**

### **INTRODUCCIÓN**

El uso de la **Lógica Programable** en el diseño digital se inicia con la matriz de diodos, con fusibles de aluminio en sus

puntos de cruce, en los años 60's. Esta matriz más un decodificador en sus entradas abrió paso a la memoria **PROM (memoria de sólo lectura programable)** en 1970, que es una memoria direccionable de sólo lectura en circuito integrado. Este paso impulsó enormemente el almacenamiento de información para diversos fines, sin embargo, muchas aplicaciones lógicas requieren mayor flexibilidad que las PROMS no ofrecen.

El problema anterior fue resuelto con la invención del **PAL (arreglo lógico programable)**, en 1976 por la compañía **Monolithic Memories**. Estos dispositivos emergieron como una solución simple y económica a los problemas de la lógica TTL y CMOS discreta. Además, esta compañía diseñó el programa **PALASM**, que servía para convertir las ecuaciones Booleanas, que describen el comportamiento del circuito, al **Mapa de Fusibles** para el "quemado" de los fusibles del PAL. Después, los PAL's experimentaron mejoras en su densidad de integración y varias compañías adquirieron derechos de producción.

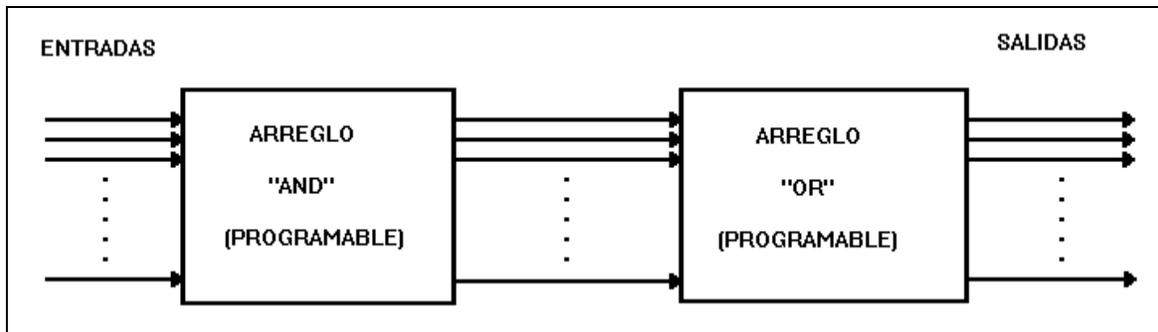
En 1986, la empresa **Lattice Semiconductor**, presentó el primer PAL **eléctricamente borrable** denominado **GAL (arreglo lógico genérico)**, los que son ideales para su utilización en el diseño de prototipos de equipo electrónico muy diverso, además de que pueden protegerse contra la piratería.

En la tabla siguiente se muestra la evolución de los PLD's en función a la velocidad y cantidad de compuertas.

FECHA	VELOCIDAD	No. COMP.
1985	600	25 MHZ
1988	5,000	50 MHZ
1992	10,000	70 MHZ

### **¿ QUE SON LOS PLD'S ?**

En general un **PLD** es un circuito que puede ser configurado por el usuario para



**Figura 1. Estructura de un PLD.**

ejecutar una o varias funciones lógicas. Un PLD estándar está formado como lo muestra la gráfica siguiente.

Los tipos estándar de PLD's son :

- **PROM's** : son utilizados como elementos de memoria y tienen un arreglo fijo de compuertas **AND** (conocido como decodificador) seguido por un arreglo programable **OR**.
- **PAL's** : Estos dispositivos tienen un arreglo **AND** programable seguido de un arreglo fijo **OR**.
- **GAL's** : Estos chips están fabricados en base a tecnología **CMOS**, por lo que consumen mucho menos potencia y su principal ventaja es que son eléctricamente reprogramables. Además, sus salidas pueden también ser configuradas por el usuario.
- **PLA's** : Estos circuitos tienen ambos arreglos, **AND** y **OR**, programables, lo cual permite gran flexibilidad en el diseño de funciones lógicas complejas y con gran cantidad de entradas/salidas.

## **METODOLOGÍA DE DISEÑO**

El proceso de diseño lógico con PLD's se resume en tres grandes etapas :

1. **DISEÑO LÓGICO**
2. **IMPLEMENTACION DEL DISEÑO**
3. **VERIFICACIÓN DEL DISEÑO.**

Dentro de la primera etapa, los pasos involucrados son los mismos que en cualquier diseño digital, combinatorio o

secuencial, y se pueden subdividir en los pasos siguientes :

- DEFINIR EL PROBLEMA.
- GENERAR UN DIAGRAMA A BLOQUES.
- OBTENER TABLA DE VERDAD.
- DERIVAR ECUACIONES LÓGICAS QUE DESCRIBEN LA OPERACIÓN DEL DISEÑO.

La implementación del diseño consiste en seleccionar y usar las herramientas, tanto de hardware y software, necesarias para la traducción de los resultados a un mapa de fusibles para la programación del chip. Esta fase consiste en :

- SELECCIÓN DEL PLD.
- HACER ARCHIVO DE ECUACIONES
- CORRER SOFTWARE, COMO POR EJEMPLO EL OPAL (NATIONAL), PARA GENERAR ARCHIVO MAPA DE FUSIBLES.
- CONFIGURAR PROGRAMADOR UNIVERSAL.
- PROGRAMAR CHIP

La etapa final consiste en la verificación del diseño en la cual la correcta programación del PLD es comprobada, por medio de técnicas de simulación. Los pasos de la verificación son :

- GENERACIÓN DE VECTORES DE PRUEBA.
- SIMULACIÓN DEL FUNCIONAMIENTO DEL PLD EN LA COMPUTADORA,
- PRUEBA FUNCIONAL DEL DISPOSITIVO.
- DOCUMENTACIÓN DEL DISEÑO.

## PLD'S VS LÓGICA DISCRETA.

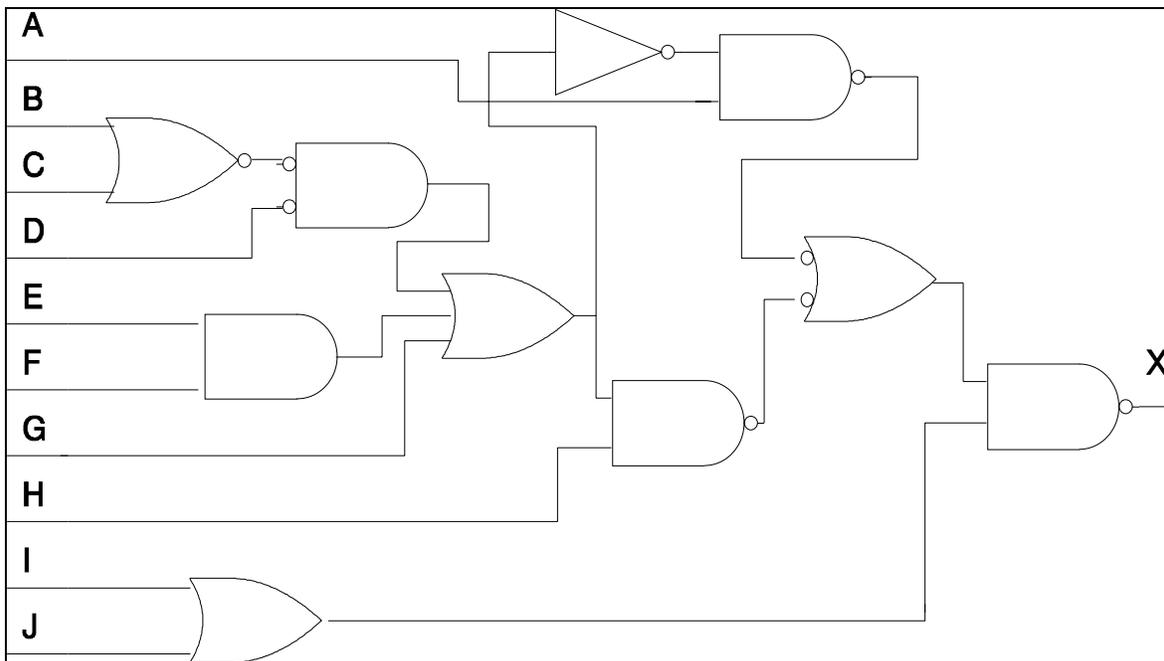
La forma tradicional de implementar un circuito digital consiste en llevar a cabo el diseño lógico, seleccionar la familia lógica que se va utilizar (TTL, CMOS, ECL, etc.) y finalmente seleccionar los chips individuales que formaran el circuito final. Este método presenta diversos problemas, que se agravan conforme aumenta el grado de complejidad del circuito.

Para ejemplificar estos problemas supongamos que se requiere implementar el circuito siguiente utilizando lógica discreta o tradicional.

contamos las compuertas, determinamos, para la familia TTL, que se necesitamos :

- **1 chip 7400 (4) compuertas NAND.**
- **1 chip 7432 (4) compuertas OR.**
- **1 chip 7404 (6) inversores.**
- **1 chip 7408 (4) compuertas AND.**

En total 4 circuitos integrados, en los cuales no todas las compuertas del paquete serán utilizadas. Esto da como desventajas mucho espacio requerido para los chips, consumo de potencia relativamente alto, diseño del circuito impreso complejo, etc. Como una solución simple y efectiva a estos problemas, y a otros más, se



**Figura 2. Circuito lógico de ejemplo.**

En primer lugar, al analizar este circuito (de poca complejidad) observamos que para algunas variables de entrada (B y C) se tienen hasta 7 niveles de retardo, y en otras (I y J) tan sólo 2 retardos. Esto ocasiona que unas señales lleguen primero que otras a la última compuerta del circuito, lo que causa errores en la operación del mismo. La solución típica es retardar la señal que llega primero, para esperar a las otras. Sin embargo, esta solución limita considerablemente la velocidad global del diseño.

Un segundo problema es el número de circuitos integrados o chips que se requieren. Si

inventaron precisamente los PLD's, en los cuales se eliminan los retardos, se hace la implementación en un solo chip, hay un menor consumo y ocupan un menor espacio en el impreso.

A continuación se muestra el diagrama de un **PAL16L8**, en donde fácilmente se podrá programar el circuito digital del ejemplo, y todavía sobra espacio. Este circuito presenta 16 entradas y 8 salidas como máximo.

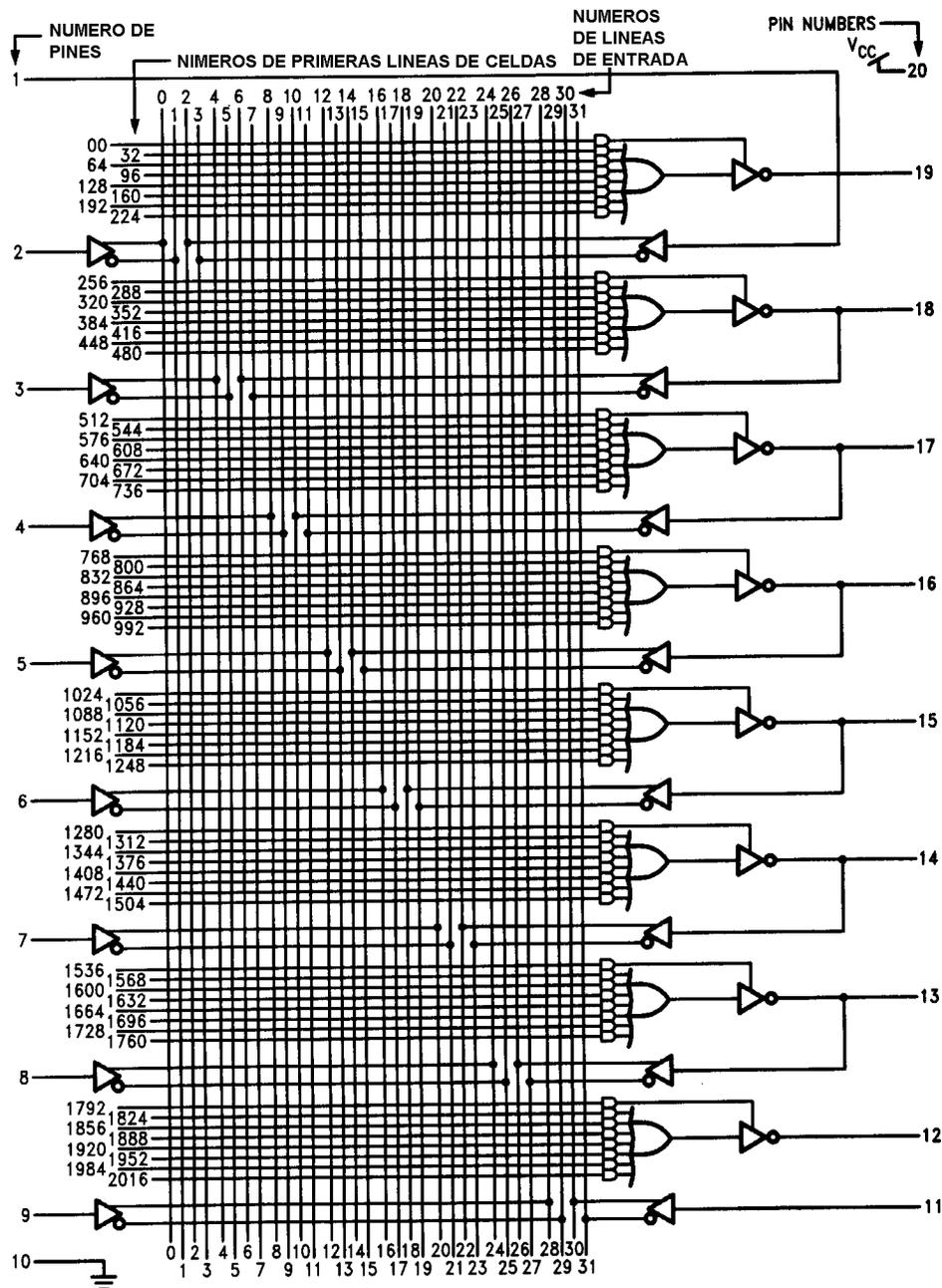


Figura 3. Diagrama del PAL16L8.

del cliente (custom). Entre otras ventajas de esta tecnología son :

### CONCLUSIÓN.

En resumen, los **PLD's** combinan muchos de los beneficios de la lógica discreta (utilización de circuitos integrados comerciales TTL o CMOS) con la gran ventaja de implementar circuitos *a la medida*

- DISEÑO SENCILLO
- ALTO RENDIMIENTO
- FIABILIDAD
- AHORRO EN COSTO
- REPROGRAMACION
- SEGURIDAD